

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110674

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 21/318  
H01L 29/78

(21)Application number : 2000-297657

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.09.2000

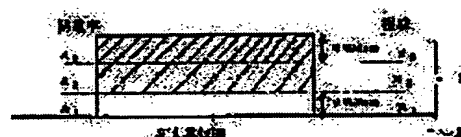
(72)Inventor : YASUDA NAOKI  
NARA AKIKO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract

**PROBLEM TO BE SOLVED:** To solve the problem of a gate leakage current incapable of being lowered sufficiently, because sufficient amount of nitrogen cannot be introduced to a surface side of a film under conditions of preferably holding an interface characteristics and a drive force of a MOS transistor, by suppressing a nitrogen concentration near the interface of an Si substrate in a radical nitride (or plasma nitride) of an SiO<sub>2</sub> film.

**SOLUTION:** A method for manufacturing a semiconductor device comprises the steps of introducing more nitrogen than that in prior art to a surface side of a film while suppressing a pile-up of the nitrogen on the interface of an Si substrate (1) to a gate insulating film (2). More particularly, a nitrogen concentration and a film density near the surface of the film (interface side of the electrode) are high, a nitrogen concentration near the interface of the Si substrate is low, and a silicon nitride film having an area containing an intermediate nitrogen concentration between the surface of the film and the interface of the substrate is used as the gate insulating film between both.



(1) SiO<sub>2</sub> (2) Si<sub>3</sub>N<sub>4</sub> (3) Si<sub>3</sub>N<sub>4</sub>  
 $\rho_1 = 2.2 \times 10^{-3} \text{ g/cm}^3$   
 $\rho_2 = 2.2 \times 10^{-3} \text{ g/cm}^3$   
 $\rho_3 = 2.2 \times 10^{-3} \text{ g/cm}^3$

また、 $\rho_1 = 2.2 \times 10^{-3} \text{ g/cm}^3$ 、 $\rho_2 = 2.2 \times 10^{-3} \text{ g/cm}^3$ 、 $\rho_3 = 2.2 \times 10^{-3} \text{ g/cm}^3$

また、 $\rho_1 = 2.2 \times 10^{-3} \text{ g/cm}^3$ 、 $\rho_2 = 2.2 \times 10^{-3} \text{ g/cm}^3$ 、 $\rho_3 = 2.2 \times 10^{-3} \text{ g/cm}^3$

## LEGAL STATUS

[Date of request for examination]

28.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-110674  
(P2002-110674A)

(43)公開日 平成14年4月12日(2002.4.12)

(51)IntCl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
H 0 1 L 21/318		H 0 1 L 21/318	C 5 F 0 4 0
29/78		29/78	3 0 1 G 5 F 0 5 8

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21)出願番号 特願2000-297657(P2000-297657)

(22)出願日 平成12年9月28日(2000.9.28)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 安田 直樹

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72)発明者 奈良 明子

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74)代理人 100081732

弁理士 大胡 典夫 (外2名)

Fターム(参考) 5F040 DC01 EC07 ED03 ED07 EK05  
5F058 BD02 BD03 BD15 BF55 BF60  
BF62 BF64 BF73 BF74

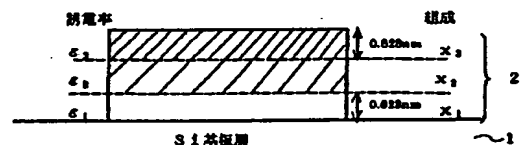
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 SiO<sub>2</sub>膜のラジカル窒化(またはプラズマ窒化)では、Si基板界面付近の窒素濃度を抑制してMOSトランジスタの界面特性・駆動力を良好に保つという条件の下では、膜表面側に十分な量の窒素を導入できないために、ゲート・リーク電流を十分に下げられないという課題があった。

【解決手段】 ゲート絶縁膜(2)に窒素のSi基板

(1)界面へのパイルアップを抑制しつつ、膜表面側に従来よりも多くの窒素を導入したもので、具体的には膜表面(電極界面側)付近の窒素濃度および膜密度が高く、Si基板界面付近の窒素濃度が低く、また、両者の間に、膜表面とSi基板界面との中間の窒素濃度を持つ領域が存在するシリコン酸窒化膜をゲート絶縁膜として使用する。



組成: (SiO<sub>2</sub>)<sub>x1</sub>(Si<sub>3</sub>N<sub>4</sub>)<sub>1-x1</sub>  
$$\begin{cases} 0.95 \leq x_1 \leq 1.00 \\ 0.5 \leq x_2 < x_1 \leq 0.95 \end{cases}$$

誘電率:  $\epsilon(x) = 3.9x / (3-2x) + 7.8(1-x) / (3-2x)$   
と定めたとき、

$$\begin{cases} \epsilon_2 / \epsilon_{(x2)} > 1 \\ \epsilon_2 / \epsilon_{(x2)} > \epsilon_3 / \epsilon_{(x3)} \\ \epsilon_2 / \epsilon_{(x2)} > \epsilon_1 / \epsilon_{(x1)} \end{cases}$$

## 【特許請求の範囲】

【請求項1】 シリコン基板層と、その上に形成された絶縁膜層、およびその上に形成された導電性の電極を備えた半導体装置において、前記絶縁膜層がシリコン・酸素・窒素を含有し、その絶縁膜層の窒素濃度がシリコン基板層側界面は低く、電極側界面は多くなっており、前記シリコン基板層と電極の間に窒素濃度の中間領域を持つようにし、さらに前記絶縁膜層の電極側界面付近の膜密度が絶縁膜層の他の領域と比べて高いことを特徴とする半導体装置。

【請求項2】 請求項1に記載された半導体装置において、絶縁膜層の組成を  $(\text{SiO}_2)_x(\text{Si}_3\text{N}_4)_{1-x}$  と表した場合の  $x$  値について、シリコン基板層側界面から  $0.628\mu\text{m}$  以内の距離の平均組成  $x_1$  が  $0.95 \leq x_1 \leq 1.00$  で表され、また、電極側界面から  $0.628\mu\text{m}$  以内の距離の平均組成を  $x_2$  と表し、前記絶縁膜層の上記2つの距離範囲を除いた領域の平均組成を  $x_3$  と表したときに  $0.5 \leq x_1 < x_2 \leq 0.95$  であり、さらに、 $\varepsilon(x) = 3.9x / (3-2x) + 7.8 * (1-x) / (3-2x)$  と定義したときに、前記絶縁膜層の誘電率について、電極側界面から  $0.628\mu\text{m}$  以内の平均誘電率  $\varepsilon_1$  は  $\varepsilon_1 / \varepsilon(x_1) > 20$  を満たし、かつ、シリコン基板層側界面から  $0.628\mu\text{m}$  以内の平均誘電率を  $\varepsilon_1$ 、前記絶縁膜層の上記2つの距離範囲を除いた領域の平均誘電率を  $\varepsilon_2$  と表したとき、 $\varepsilon_3 / \varepsilon(x_1) > \varepsilon_2 / \varepsilon(x_2)$  および  $\varepsilon_3 / \varepsilon(x_1) > \varepsilon_1 / \varepsilon(x_1)$  を満たすことを特徴とする半導体装置。

【請求項3】 第1導電型のシリコン基板層と、この基板層の表面に形成された一対の第2導電型半導体領域と、この第2導電型半導体領域間の第1導電型シリコン基板層上に形成された絶縁膜と、この絶縁膜上に設けられた電極を備える半導体装置において、前記絶縁膜は請求項1または2に記載された絶縁膜層であることを特徴とする半導体装置。

【請求項4】 請求項1, 2, 3のいずれかに記載された半導体装置の製造方法であって、前記絶縁膜層の製造する際に、ゲート絶縁膜中に窒素を導入する工程と、それに引き続いて活性窒素を用いた窒化を行う工程を含むことを特徴とする半導体装置の製造方法。

【請求項5】 請求項4に記載された半導体装置の製造方法において、活性窒素を用いた窒化の工程に電磁波励起によるラジカル窒素またはプラズマ窒素を使用することを特徴とする半導体装置の製造方法。

【請求項6】 請求項4に記載された半導体装置の製造方法において、ゲート絶縁膜中に窒素を導入する工程は、 $\text{Si}$ 基板層に対する酸窒化の第1工程と、それに引き続く酸化または窒化の第2工程を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関わり、とくにMOS(metal oxidesemicon

ductor)構造のゲート絶縁膜を改良した半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】 シリコン半導体集積回路の微細化にともなう、MOS(metal oxide semiconductor)型半導体装置の寸法が微細化している。最小寸法  $0.1\mu\text{m}$  以下のMOS型半導体装置では、実効膜厚が  $2\text{nm}$  以下のゲート絶縁膜が必要となる。ゲート絶縁膜に  $\text{SiO}_2$  を使う場合、膜厚を  $2\text{nm}$  以下に薄くすると、ダイレクト・トンネル電流が急激に増加し、リーク電流の最大仕様値  $1\text{A}/\text{cm}^2$  を上回ってしまう。ゲート絶縁膜を流れるリーク電流は、MOSトランジスタの消費電力を増加させ、信頼性を低下させるので、好ましくない。そこで、MOS型半導体素子の性能を維持しながらリーク電流を減少させるために、シリコン酸化膜よりも誘電率の高い材料をゲート絶縁膜として使うことが検討されている。そのなかでも、シリコン酸化窒化膜は、従来のMOS型半導体素子の製造工程との整合性がよいので、近い将来の絶縁膜として有望視されている。

【0003】 シリコン酸化窒化膜の形成方法としては、従来、 $\text{SiO}_2$  の  $\text{NH}_3$  窒化/再酸化、 $\text{N}_2\text{O}$  酸窒化、 $\text{NO}$  酸窒化が用いられてきた。とくに、薄膜ゲート絶縁膜では、水素フリーで均一に高濃度の窒素を導入できるという理由で、 $\text{NO}$  酸窒化が主に使われている。しかし、 $\text{NO}$  酸窒化では  $\text{Si}$  基板側の界面近傍に窒素が入るので、MOSトランジスタの移動度が低下し、駆動力が低下するという問題がある。すなわち、 $\text{NO}$  酸窒化では、リーク電流低減の目的で導入する窒素の量を増やせば増やすほど、MOSトランジスタの性能が悪くなる。

【0004】 そこで、近年、 $\text{SiO}_2$  膜を形成した後にラジカル窒化(またはプラズマ窒化)を行って  $\text{SiO}_2$  膜の表面側に窒素を導入する方法が提案されている(M. Togo, K. Watanabe, T. Yamamoto, N. Ikarashi, K. Shiba, T. Tsumi, H. Ono, and T. Mogami, 2000 Symp. on VLSI Tech. p.116; S. V. Hattangady, R. Kraft, D. T. Gridler, M. A. Douglas, G. A. Brown, P. A. Tiner, J. W. Kuehne, P. E. Nicollian, and M. F. Pas, IEDM Tech. Dig. 96-495)。この方法では、シリコン基板界面付近の窒素濃度を低く抑えることができるので、MOSトランジスタの移動度の劣化を防ぎ、高い駆動力を得ることができる。また、最近の我々の検討によると、 $\text{SiO}_2$  膜のラジカル窒化(またはプラズマ窒化)では、窒素・酸素の組成比から予測される酸窒化膜の一般的な誘電率よりも大きな誘電率が得られることがわかった。これは、 $\text{SiO}_2$  膜のラジカル窒化(またはプラズマ窒化)では、熱平衡でない状態で膜中に窒素を導入するため、膜密度が増加することに起因すると考えられる。

【0005】 しかし、一方では、ラジカル窒化(またはプラズマ窒化)では次の2つの問題点があることも最近の我々の検討で明らかになってきた。第1の問題点は、

SiO<sub>2</sub>膜の表面付近に導入できる窒素の濃度に飽和値が存在することである。第2の問題点は、表面付近の窒素濃度が飽和する前に、Si基板界面付近の窒素濃度が増加してしまうことである(図15を参照)。なお、図15において、ラジカル窒化の条件は、温度700℃、圧力5hPa、マイクロ波2.45GHz、200Wである。また、窒素濃度はSIMSで評価した。したがって、SiO<sub>2</sub>膜のラジカル窒化(またはプラズマ窒化)では、MOSトランジスタの駆動力を一定に保ちながらゲート・リーク電流を低減するのに限界がある。

#### 【0006】

【発明が解決しようとする課題】上記のように、SiO<sub>2</sub>膜のラジカル窒化(またはプラズマ窒化)では、Si基板界面付近の窒素濃度を抑制してMOSトランジスタの界面特性・駆動力を良好に保つという条件の下では、膜表面側に十分な量の窒素を導入できないために、ゲート・リーク電流を十分に下げられないという問題点があった。

【0007】本発明はこの問題を解決するためになされたものであり、その目的とするところは、窒素のSi基板界面へのパイルアップを抑制しつつ、膜表面側に従来よりも多くの窒素を導入したゲート絶縁膜を実現することである。

#### 【0008】

【課題を解決するための手段】上記の目的を達成するために、本発明に係る半導体装置は、膜表面(電極界面側)付近の窒素濃度および膜密度が高く、Si基板界面付近の窒素濃度が低く、また、両者の間に、膜表面とSi基板界面との中間の窒素濃度を持つ領域が存在するシリコン酸窒化膜をゲート絶縁膜として使用することを特徴とする。具体的には、図1のように、絶縁膜層(2)の組成を(SiO<sub>2</sub>)<sub>x</sub>(Si<sub>3</sub>N<sub>4</sub>)<sub>1-x</sub>と表した場合のx値について、シリコン基板層(1)側界面から0.628μm以内の距離の平均組成x<sub>0</sub>が0.95≤x<sub>0</sub>≤1.00で表され、また、電極側界面から0.628μm以内の距離の平均組成をx<sub>1</sub>と表し、前記絶縁膜層の上記2つの距離範囲を除いた領域の平均組成をx<sub>2</sub>と表したときに0.5≤x<sub>1</sub><x<sub>2</sub>≤0.95であり、さらに、 $\epsilon(x)=3.9x/(3-2x)+7.8*(1-x)/(3-2x)$ と定義したときに、前記絶縁膜層の誘電率について、電極側界面から0.628μm以内の平均誘電率 $\epsilon_3$ は $\epsilon_3/\epsilon(x_0)>1$ を満たし、かつ、シリコン基板層側界面から0.628μm以内の平均誘電率を $\epsilon_1$ 、前記絶縁膜層の上記2つの距離範囲を除いた領域の平均誘電率を $\epsilon_2$ と表したとき、 $\epsilon_3/\epsilon(x_0)>\epsilon_2/\epsilon(x_2)$ および $\epsilon_3/\epsilon(x_0)>\epsilon_1/\epsilon(x_0)$ を満たす。

【0009】また、本発明に係る半導体装置の製造方法は、あらかじめ膜中に窒素を導入したシリコン酸窒化膜に対して活性窒素による窒化を行うことを特徴とする。活性窒素による窒化は、制御性よく多くの窒素を膜表面近くに導入できるという点で、電磁波で励起されたラジカル窒素(プラズマ窒素も可)を用いることが望ましい。さらに、活性窒素による窒化を行う前のシリコン酸窒化

膜は、MOSトランジスタの駆動力劣化を生じない程度に界面近くの窒素濃度が低く、かつ、活性窒素導入時の窒素拡散を抑制できる程度に平均窒素濃度が高いという条件を満たす必要から、シリコン基板の酸窒化を行った後に、さらに窒化もしくは再酸化を行うことで膜中央付近に比較的多くの窒素を導入することが望ましい。

【0010】本発明によれば、シリコン酸窒化膜に対して活性窒素による窒化を行うと、すでに膜中に存在する窒素が活性窒素の拡散を抑制するので、SiO<sub>2</sub>膜に対して活性窒素による窒化を行うのに比べて、Si基板界面側への窒素のパイルアップを少なくすることができる(図2、図3参照)。また、界面側への窒素の拡散の流束を少なくすることによって、膜表面近くの飽和窒素量を大きくすることができる(図4参照)。したがって、界面付近への窒素の導入量がMOSトランジスタの駆動力維持の観点から制限される条件の下で、膜表面に従来よりも多くの窒素を導入できる。そのことによって、従来よりも膜の誘電率を上げることができるので、等しい実効膜厚のゲート絶縁膜で、ゲート・リーク電流を従来よりも低減することが可能になる。さらに、活性窒素による窒化で導入した窒素はゲート絶縁膜の密度を高くする効果もあるので、膜密度増大の効果もそれだけ多く得られることになる。このことによって、さらに誘電率を高くすることができる。以上のことから、本発明のゲート絶縁膜を用いることで、誘電率が高くリーク電流を抑制でき、かつ界面特性に優れた半導体装置(MOSトランジスタ)を実現できる。

#### 【0011】

【発明の実施の形態】次に、図面を参照しながら本発明の実施の形態(以下、実施例という)を説明する。

【0012】最初に、本発明の半導体装置のゲート絶縁膜にラジカル窒化を施すための装置を説明する。図4は、ラジカル窒化装置の断面図である。図4に示すように、このラジカル窒化装置は、石英からなる筐体11内に、熱源であるランプ12が設置されている。ランプ12の間にはウェハ13を格納するための石英管14が挿入されている。石英管14の一方はガス導入口15につながっている。石英管14の他方はドア16により開閉可能となっている。プロセス中はドア16が閉まっており、導入されたガスはガス排出口18から排出される。この装置内のウェハの温度測定は、パイロメータ19によって行われる。また、17は導入ガスをラジカル化するためのマイクロ波放電電極である。この装置では、ガス導入口に窒素ガスを導入してマイクロ波放電を施すことによってラジカル窒化を行うことができるが、それ以外に、ガス導入口に酸素ガスを導入してマイクロ波放電を行うことでラジカル酸化を行うこともできる。さらに、ガス導入口に一酸化窒素(NO)またはアンモニア(NH<sub>3</sub>)を導入し、マイクロ波

放電を行わない場合には、それぞれNO酸化、NH<sub>3</sub>酸化を行うことができる。

【0013】次に、図4のラジカル窒化装置を用いた本発明の半導体装置の製造方法を詳細に説明する。

(第1の実施例)まず、図5に示すように、単結晶のp型シリコン基板21の表面に、素子分離の役割を果たす深い溝を形成し、CVD法によりシリコン酸化膜で埋め込み、素子分離領域22を形成する。次に、図6に示すように、ゲート絶縁膜24を形成する。(ゲート絶縁膜の詳しい形成方法は、後でまとめて述べる。)

次に、図7に示すように、ゲート絶縁膜の上部24にポリシリコン膜25をCVD法によって形成する。次に、図8に示すように、ポリシリコン25上に、フォトレジストパターン26を形成する。次に、図9に示すように、フォトレジストパターン26をマスクとして、ポリシリコン膜25を反応性イオンエッチングし、第1のゲート電極25を形成する。次に、砒素を、例えば加速電圧40keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入して、高不純物濃度のn<sup>+</sup>型ゲート電極25、n<sup>+</sup>型ソース領域27、n<sup>+</sup>型ドレイン領域28を同時に形成する。

【0014】次に、図10に示すように、全面に300nmのシリコン酸化膜をCVD法により堆積し、層間絶縁膜29を形成する。この後、層間絶縁膜29上にコンタクトホール形成用のフォトレジストパターン(不図示)を形成し、これをマスクとして反応性イオンエッチング法により層間絶縁膜29をエッチングして、コンタクトホールを開口する。最後に、全面にAl膜をスパッタ法により形成した後、これをパターニングして、ソース電極210、ドレイン電極211、および第2のゲート電極212を形成してn型MOSトランジスタが完成する。なお、本実施例では、n型MOSトランジスタの製造工程を示したが、p型MOSトランジスタでは導電型がn型とp型で入れ替わる点のみ異なり、基本的な製造工程はまったく同じである。

【0015】次に、図11を用いて、ゲート絶縁膜24の形成工程の詳細を説明する。ウェハ13をRCA洗浄した後、図4に示すラジカル窒化装置の筐体11中へ搬送する。ウェハ13は石英トレイ15上に搭載されている。ラジカル窒化装置のガス導入口15から100hPaのNOガスを導入し、ランプ12を点灯してウェハ13の温度を800℃とし、60sの加熱を行うことで、膜厚1.5nmのシリコン酸化膜を形成した。次に、ランプ12を消灯し、NOガスの供給を止めた後、ラジカル窒化装置中へNH<sub>3</sub>とN<sub>2</sub>を1:50の流量比で導入した。このときの圧力(全圧)は5hPaであった。再びランプ12を点灯し、ウェハ13の温度を800℃に調整し、30sの加熱を行うことでウェハ13表面の酸化膜中へさらに窒素を導入した。このとき、NO酸化で先に膜中に導入されていた窒素の影響で、NH<sub>3</sub>酸化で膜中に取り込まれる窒素はSi基板の界面近傍以外の領域に多く取り込まれる。続けて、ラジカル窒化装置中へガス導入口15から窒素ガスを導入しマイクロ波放電を行う

ことでウェハ13の表面にラジカル窒素を導入し、ランプ12を点灯して850℃、60sの加熱を行った。このときのマイクロ波放電は、周波数2.45 GHz、出力100 Wで行った。

【0016】なお、上記のゲート絶縁膜の形成工程において、ウェハ13表面にNOガスで酸化膜を形成する代わりに、SiO<sub>2</sub>膜を形成した後にNOまたはN<sub>2</sub>Oガスを流して酸化膜を形成してもよい。さらに、ラジカル窒化の際の電磁波励起源としては、マイクロ波の代わりに紫外線を用いてもよい。

【0017】本実施例で形成された絶縁膜中の窒素濃度と誘電率を、希HFによるウェットエッチング、断面TEM (Transmission Electron Microscopy)、MEIS (Medium Energy Ion Scattering)、C-V評価法を組み合わせ評価したところ、全体の物理膜厚( $T_{phys}$ )が1.88nm、Si基板界面から0.628nm以内の組成 $x_0=0.96$ 、絶縁膜の表面側から0.628nm以内の組成 $x_0=0.60$ 、それ以外の部分の組成 $x_2=0.70$ が得られた。さらに、膜表面側から0.628nm以内では、ラジカル窒化に起因する膜密度増加に伴う50%の誘電率の増加が認められた( $\epsilon_3=1.5 \times \epsilon(x_0)$ )。また、膜の中央部では30%( $\epsilon_2=1.3 \times \epsilon(x_2)$ )、Si基板界面近くの0.628nm内でも15%の誘電率の増加( $\epsilon_1=1.15 \times \epsilon(x_0)$ )が認められた。これらの誘電率の増加率は、測定で得られた誘電率( $\epsilon_1, \epsilon_2, \epsilon_3$ )と組成( $x_0, x_2, x_0$ )、および公知の文献(X. Guo and T. P. Ma, IEEE Electron Device Lett. 19, 207 (1998))に記載された実験データに基づいて、我々が見出した一般的な酸化膜の誘電率 $\epsilon$ と組成比 $x$ との関係

$\epsilon(x)=3.9 \times x / (3-2x)+7.8 \times (1-x) / (3-2x)$ を用いて評価した。ラジカル窒化における膜密度の増加を考慮し、この酸化膜の実効膜厚を算出すると

$$T_{eff}=0.628 / (\epsilon_3 / 3.9) + 0.624 / (\epsilon_2 / 3.9) + 0.628 / (\epsilon_1 / 3.9) = 1.07 \text{ nm}$$

となる。ここで算出された実効膜厚は、希HFによるエッチバック前の膜のC-V特性から得られる $T_{eff}$ (ゲート電極およびSi基板の容量の寄与は補正済み)と一致している。物理膜厚 $T_{phys}=1.88 \text{ nm}$ 、および実効膜厚 $T_{eff}=1.07 \text{ nm}$ を用いると、この酸化膜全体としての平均誘電率は $\epsilon=3.9 \times T_{phys} / T_{eff}=6.85$ となる。一方、この膜の平均組成は $x=0.75$ である。図13には、この酸化膜の平均誘電率と平均組成の関係を黒丸でプロットした。また、図13の実線は $\epsilon(x)=3.9 \times x / (3-2x)+7.8 \times (1-x) / (3-2x)$ で表される従来の酸化膜の誘電率と組成の関係である。図12に示すように、本実施例の酸化膜は、組成比 $x$ の等しい従来の酸化膜と比較して誘電率が大きくなっている。本実施例の酸化膜は組成比 $x=0.75$ であるが、従来の酸化膜の $x=0.48$ に相当する誘電率を得ている。一般に、酸化膜は $x$ 値が小さいほど誘電率が高くなるが、同時に窒素に関わる欠陥に起因したリーク電流が流れやすくなることが知られている。本実施例では、組成比 $x$

値を大きく保って欠陥起因のリーク電流を抑制し、しかも誘電率の大きい膜を実現することができた。本実施例のゲート絶縁膜でMOSトランジスタを形成し、酸化膜換算電界5MV/cmにおけるゲート・リーク電流を評価したところ、実効膜厚の等しいSiO<sub>2</sub>膜に比べて約3桁のリーク電流の低減を実現できることがわかった。

【0018】本実施例では、ラジカル窒化を施す前のゲート絶縁膜中に窒素を含んでいるため、ラジカル窒化時に導入される窒素のSi基板界面への拡散を抑制でき、その結果として膜の表面側に従来よりも多量の窒素を導入することができた。それに伴って、ラジカル窒化に起因する膜密度の増大効果も従来例よりも多く享受することができる。本発明で良好な電気特性を持つゲート酸化膜を実現できたのは、これらの理由(窒素濃度の増加、および膜密度の増大)によると考えられる。

【0019】最後に、本実施例における酸化膜の膜厚方向の各領域における窒素濃度の評価結果とその物理的意味について述べる。酸化膜中では、窒素の面密度と組成比 $x_1$ の関係は、 $[N] = 6E16 * (2.9 - 0.7x_1) / (140 - 80x_1) * (4 - 4x_1) * T_{phys}$  で与えられる。ここで、 $T_{phys}$  はnmの単位

で与えるものとする。

【0020】まず、膜表面付近に導入された窒素について述べる。本実施例の酸化膜では、膜表面(あるいはゲート電極側界面)から0.628nm以内で組成比 $x_1 = 0.60$ となっているが、上記の式を用いて窒素の面密度に換算すると $1.6E15 \text{ cm}^{-2}$  (2.4ML、1ML(mono-layer) =  $6.8E14 \text{ cm}^{-2}$ )になる。ラジカル窒化では、膜表面の0.6-0.7nmの範囲に窒素が導入されることが知られているので、膜表面の0.628nmの窒素濃度を評価することにより、ラジカル窒化で導入された窒素濃度を推定できる。(註: 断面TEMではSi(111)面間距離0.314nmの2倍という距離が評価しやすい便宜上、0.628nmという距離範囲を採用した)。我々の実験データでは、SiO<sub>2</sub>膜に対するラジカル窒化ではSiO<sub>2</sub>膜表面に導入できる窒素の量は1ML以下であることが見出された。また、SiO<sub>2</sub>膜に対してイオン化した窒素が加速・衝突するプラズマ窒化(そのため、ラジカル窒化ほど好んで用いられない)においてさえ、SiO<sub>2</sub>膜表面に導入できる窒素の量は高々1E15cm<sup>-2</sup> (1.5ML)であることが知られている(S. V. Hattangady, R. Kraft, D. T. Grieder, M. A. Douglas, G. A. Brown, P. A. Tiner, J. W. Ruehle, P. E. Nicollian, and M. F. Pas, IEDM Tech. Dig. 96-495 (1996))。本実施例では、酸化膜に対してダメージを与えないラジカル窒化法を用いて、膜表面で従来よりも高い2.4MLの窒素の導入を実現することができた。これが実現できた理由は、先にも述べたように、ラジカル窒化を施す前の絶縁膜がシリコン酸化膜であるため、ラジカル窒化時に導入される窒素のSi基板界面への拡散を抑制できるからである。

【0021】次に、界面付近に導入された窒素について述べる。公知の文献(G. Lucovsky, Y. Wu, H. Niimi, V.

Misra and J. C. Phillips, Appl. Phys. Lett. 74, 2005 (1999))によれば、Si基板界面に0.6nmのSiO<sub>2</sub>膜が存在することで界面特性が飛躍的に向上する。本発明の請求項および本実施例で界面から0.628nmの距離範囲で界面窒素濃度を定義したのは、この実験結果を踏まえたものである。本実施例の酸化膜は、Si基板側界面から0.628nm以内で平均組成 $x_1 = 0.96$ を持っている。これは、この範囲内の窒素面密度が $2.1E14 \text{ cm}^{-2}$ であることに相当する。この窒素面密度では、n型MOSトランジスタの電流駆動力は、ゲート絶縁膜にSiO<sub>2</sub>を用いた場合と比べて5%以内の低下に収めることができる。したがって、本実施例の界面窒素濃度では集積回路の設計上とくに問題は起こらない。

【0022】次に、膜の中央部に導入された窒素について述べる。本実施例では膜表面およびSi基板界面からそれぞれ0.628nmを除いた領域の平均膜組成は $x_1 = 0.70$ であった。これは、この領域の窒素面密度が $1.3E15 \text{ cm}^{-2}$ であることに相当し、そのほとんどがラジカル窒化工程の前に膜中に導入されていた窒素である。この窒素濃度は、ラジカル窒化で膜中に導入された窒素の界面への拡散を抑制するのに十分である。酸化膜中でボロンの拡散による閾値電圧のシフトを抑制するために $3.2E14 \text{ cm}^{-2}$ の窒素濃度が必要であることが知られている(M. Fujiwara, M. Takayanagi, and Y. Toyoshima, 1999 Symp. VLSI Tech. Dig. P.121)が、窒素はボロンと同じ周期に属する元素であるので、ラジカル窒化で膜中に導入される窒素の拡散に関しても、同程度の窒素濃度で抑制できるためである。

(第2の実施例)本発明の第2の実施例に係わるMOSトランジスタの素子構造は、第1の実施例の場合と同様なので、詳細な説明は省略する。本実施例では、ゲート絶縁膜の製造工程の部分が第1の実施例とは異なる。

【0023】図13に示したように、ウェハ13にRCA洗浄を施した後、ラジカル窒化装置中へ搬送した。ラジカル窒化装置に100hPaのNOガスを導入し、ランプ加熱によってウェハの温度を900℃とし、15sの加熱によって膜厚1.2nmのシリコン酸化膜を形成した。さらに、ラジカル窒化装置に酸素を導入し、マイクロ波放電を行うことによって、ウェハ温度800℃で30sのラジカル酸素アニールを行った。このときのラジカル酸素は、酸素ガスのマイクロ波励起(圧力5hPa、マイクロ波2.45GHz、200W)によるプラズマ形成によって発生させた。(比較的高濃度の窒素を導入できる高温のNO酸化を行った後にラジカル酸化を行うことでSi基板界面付近に酸素を導入して界面窒素濃度を下げつつ、膜中の平均窒素濃度はそのままに保つことができる。) 続けて、ラジカル窒化装置中に窒素ガスを導入してマイクロ波放電を行い、ウェハ温度850℃で60sの加熱を行った。ラジカル窒素は、窒素ガスのマイクロ波励起(圧力5hPa、マイクロ波2.45GHz、100W)によるプラズマで発生させ

た。

【0024】なお、上記のゲート絶縁膜の形成工程において、ウェハ上に直接 $\text{NO}$ 酸窒化膜を形成する代わりに、 $\text{SiO}_2$ 膜を形成した後に $\text{NH}_3$ を流して酸窒化膜を形成してもよい。さらに、ラジカル酸化の工程の代わりに、高圧のドライ酸化(例えば、H.Kimijima, T. Ohguro, B. Evans, B. Acker, J. Bloom, H. Mabuchi, D.-L. Kwong, E. Morifuji, T. Yoshitomi, H. S. Momose, M. Kinugawa, Y. Katsumata, and H. Iwai, 1999 Symp. VLSI Tech. Dig. p.119を参照)を用いてもよい。さらに、ラジカル窒化の際の電磁波励起源としては、マイクロ波の代わりに紫外線を用いてもよい。

(第3の実施例)本発明の第3の実施例に係わるMOSトランジスタの素子構造は、第1の実施例の場合と同様なので、詳細な説明は省略する。本実施例では、ゲート絶縁膜の製造工程の部分が第1,2の実施例とは異なる。

【0025】図14に示したように、最後の $\text{HF}$ 処理を除く $\text{RCA}$ 洗浄を施した後、ラジカル窒化装置中へウェハ13を搬送した。ラジカル窒化装置に窒素ガスを導入してマイクロ波放電を行い、ウェハ温度 $800^\circ\text{C}$ で60sの加熱を行った。ラジカル窒素は、窒素ガスのマイクロ波励起( $\text{N}_2$ 圧力5hPa、マイクロ波2.45GHz, 100W)によるプラズマで発生させた。このとき膜厚1.2nmの酸窒化膜が形成された。次に、ラジカル窒化装置に酸素を導入し、マイクロ波放電を行うことによって、ウェハ温度 $800^\circ\text{C}$ で60sのラジカル酸素アニールを行った。このときのラジカル酸素は、酸素ガスのマイクロ波励起( $\text{O}_2$ 圧力5hPa、マイクロ波2.45GHz, 200W)によるプラズマ形成によって発生させた。続けて、ラジカル窒化装置中に窒素ガスを導入してマイクロ波放電を行い、ウェハ温度 $850^\circ\text{C}$ で60sの加熱を行った。ラジカル窒素は、窒素ガスのマイクロ波励起( $\text{N}_2$ 圧力5hPa、マイクロ波2.45GHz, 100W)によって発生させた。

【0026】

【発明の効果】以上説明したように、本発明では、シリコン酸窒化膜の形成後に、活性窒素による窒化を行うことによって、膜の表面側に従来よりも多量の窒素を導入することができ、さらに、活性窒素による膜密度増加に伴う誘電率の増加の効果を従来よりも多く享受できるので、従来公知例よりもリーク電流が少なく、かつ界面特性の良好なMOSトランジスタ、MISトランジスタなどの半導体装置が実現できる。

【図面の簡単な説明】

【図1】本発明に係わるゲート絶縁膜の膜構造と誘電率の関係を示す図。

【図2】本発明の実施形態における、シリコン酸窒化膜に対して活性窒素による窒化を行う工程の説明図。

【図3】本発明の実施例と従来例における表面・界面窒

素濃度とラジカル窒化時間との関係を示す図。

【図4】本発明の実施例に用いたラジカル窒化装置の断面図。

【図5】本発明実施例の $n$ 型MOSトランジスタの製造工程を示す断面図。

【図6】本発明実施例の $n$ 型MOSトランジスタの製造工程を示す断面図。

【図7】本発明実施例の $n$ 型MOSトランジスタの製造工程を示す断面図。

【図8】本発明実施例の $n$ 型MOSトランジスタの製造工程を示す断面図。

【図9】本発明実施例の $n$ 型MOSトランジスタの製造工程を示す断面図。

【図10】本発明の $n$ 型MOSトランジスタの製造工程を示す断面図。

【図11】本発明の $n$ 型MOSトランジスタのゲート絶縁膜の製造工程の説明図。

【図12】本発明のゲート絶縁膜の誘電率と組成の関係。

【図13】本発明の $n$ 型MOSトランジスタのゲート絶縁膜の製造工程の説明図。

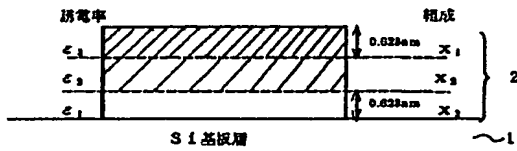
【図14】本発明の $n$ 型MOSトランジスタのゲート絶縁膜の製造工程の説明図。

【図15】従来の $\text{SiO}_2$ 膜のラジカル窒化における膜表面および $\text{Si}$ 基板界面付近の窒素濃度と、ラジカル窒化時間の関係を示す図。

【符号の説明】

- 11 筐体
- 12 ランプ
- 13 ウェハ
- 14 石英管
- 15 ガス導入口
- 16 ドア
- 17 マイクロ波放電電極
- 18 ガス排出口
- 19 パイロメータ
- 21  $p$ 型シリコン基板
- 22 素子分離領域
- 24 ゲート絶縁膜
- 25 ポリシリコン膜
- 26 フォトレジストパターン
- 27  $n$ 型ソース領域
- 28  $n$ 型ドレイン領域
- 29 シリコン酸化膜(層間絶縁膜)
- 210 ソース電極(金属電極)
- 211 ドレイン電極(金属電極)
- 212 ゲート電極(金属電極)

【図1】



組成:  $(\text{SiO}_2)_x (\text{Si}_3\text{N}_4)_{1-x}$

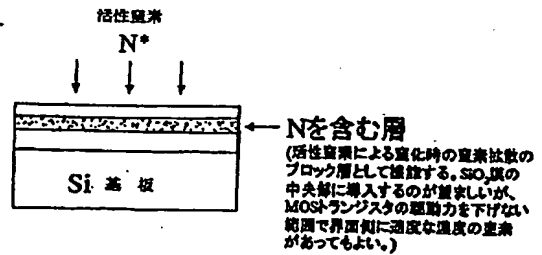
$$\begin{cases} 0.95 \leq x_1 \leq 1.00 \\ 0.5 \leq x_2 < x_1 \leq 0.95 \end{cases}$$

誘電率:  $\epsilon(x) = 3.9x / (3-2x) + 7.8(1-x) / (3-2x)$

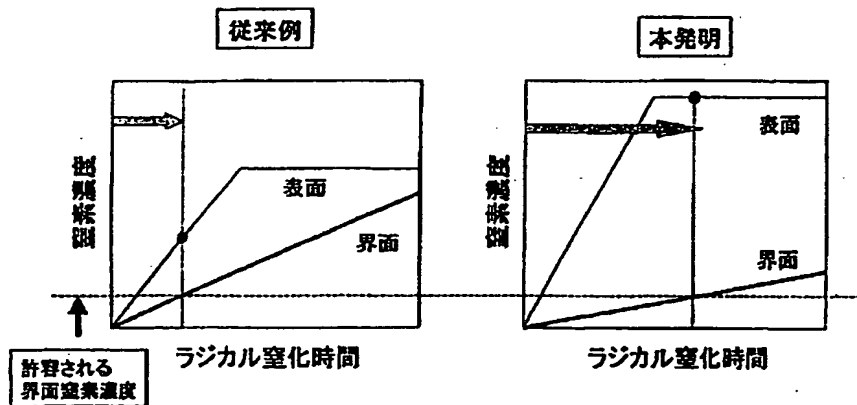
と定めたとき、

$$\begin{cases} \epsilon_2 / \epsilon(x_2) > 1 \\ \epsilon_2 / \epsilon(x_2) > \epsilon_1 / \epsilon(x_1) \\ \epsilon_2 / \epsilon(x_2) > \epsilon_1 / \epsilon(x_1) \end{cases}$$

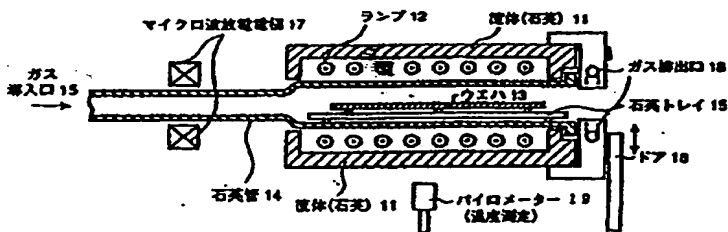
【図2】



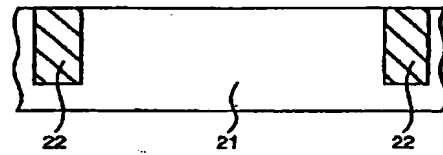
【図3】



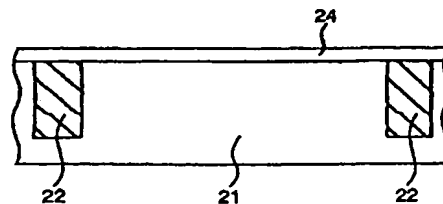
【図4】



【図5】

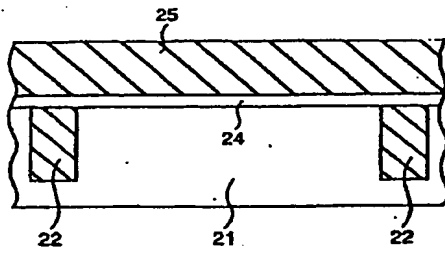


【図6】

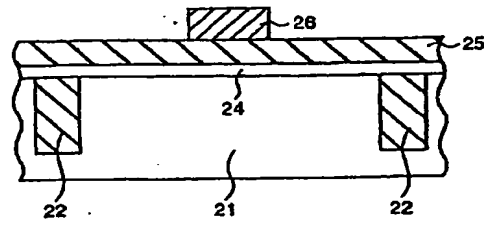




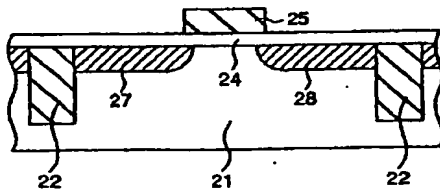
【図7】



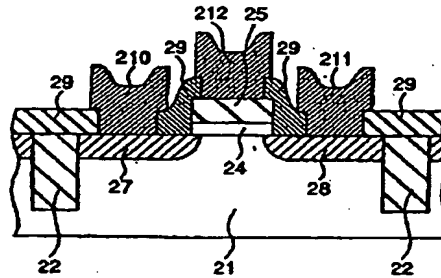
【図8】



【図9】



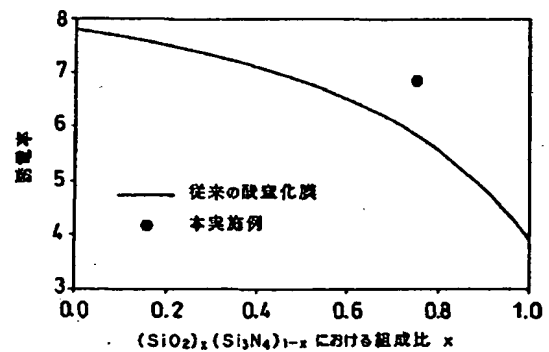
【図10】



【図11】

- RCA洗浄
- NO 100hPa, 800℃, 60s (膜厚 1.5nm)
- NH<sub>3</sub>+N<sub>2</sub>, (1:50) 5hPa, 800℃, 30s
- N<sup>+</sup> 5hPa, 850℃, 60s

【図12】



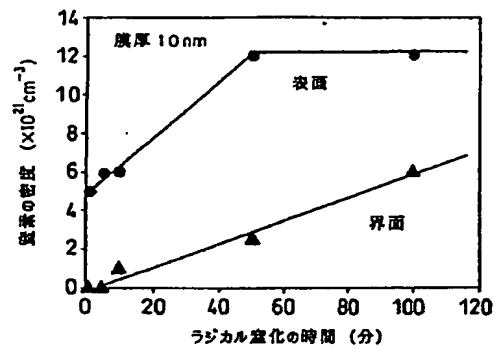
【図13】

- RCA洗浄
- NO 100hPa, 900℃, 15s (膜厚 1.2nm)
- O<sup>+</sup> 5hPa, 800℃, 30s
- N<sup>+</sup> 5hPa, 850℃, 60s

【図14】

- RCA洗浄 (最後の希HF処理を除く)
- N<sup>+</sup> 5hPa, 800℃, 60s (膜厚 1.2nm)
- O<sup>+</sup> 5hPa, 800℃, 60s
- N<sup>+</sup> 5hPa, 850℃, 60s

【図15】



【手続補正書】

【提出日】平成13年4月17日(2001. 4. 1

【補正対象項目名】図1

7)

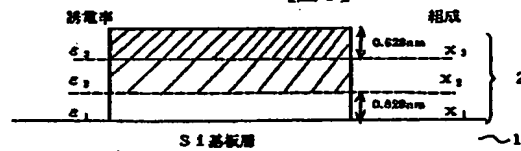
【補正方法】変更

【手続補正1】

【補正内容】

【補正対象書類名】図面

【図1】

組成:  $(\text{SiO}_2)_x (\text{Si}_3\text{N}_4)_{1-x}$ 

$$\begin{cases} 0.95 \leq x_1 \leq 1.00 \\ 0.5 \leq x_2 < x_1 \leq 0.95 \end{cases}$$

誘電率:  $\epsilon(x) = 3.9x / (3-2x) + 7.8(1-x) / (3-2x)$ 

と定義したとき、

$$\begin{cases} \epsilon_1 / \epsilon(x_2) > 1 \\ \epsilon_2 / \epsilon(x_2) > \epsilon_2 / \epsilon(x_1) \\ \epsilon_3 / \epsilon(x_2) > \epsilon_1 / \epsilon(x_1) \end{cases}$$